

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-274315

(43)Date of publication of application : 05.10.2001

(51)Int.Cl.

H01L 25/04  
H01L 25/18  
// H01L 23/12

(21)Application number : 2000-083367

(71)Applicant : SONY CORP

(22)Date of filing : 24.03.2000

(72)Inventor : TAKAOKA YUJI  
KAMIIDE KOYO  
HIRAYAMA TERUMINE  
HATANO MASAKI

## (54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURING METHOD

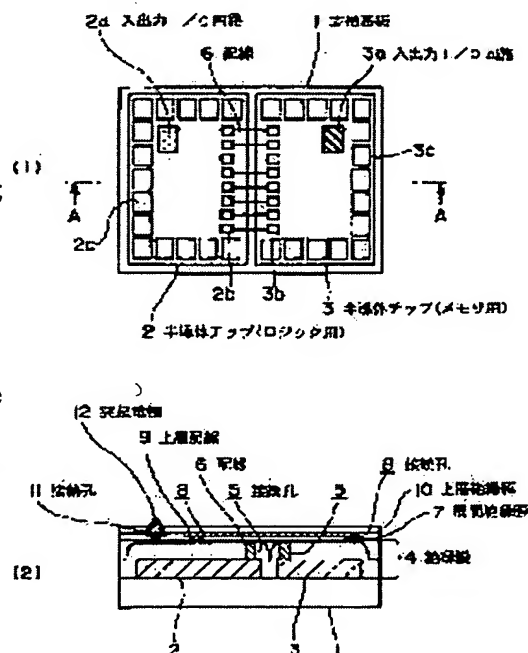
## (57)Abstract:

PROBLEM TO BE SOLVED: To provide a, MCM type semiconductor device which can be mounted with high density and its manufacturing method.

SOLUTION: This semiconductor device comprises:

semiconductor chips 2, 3 mounted on a support substrate 1; an insulating film 4 provided on the support substrate 1 in a state that these semiconductor chips 2, 3 are buried; and a wire 6 provided on the insulating film 4 in a state of being connected to the respective semiconductor chips 2, 3 via a connection hole 5 formed in this insulating film 4.

Furthermore, an interlayer insulating film 7 covering the wire 6, a connection hole 8 provided in this interlayer insulating film 7, and an upper layer wire 9 connected to the wire 6 via the connection hole 8, are provided. Furthermore, a projecting electrode 12 connected to the upper layer wire 9 is provided on the upper layer insulating film 10 via a connection hole 11 formed in the upper layer insulating film 10 covering the upper layer wire 9.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

拒絶引用S 04 P 1042W000

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-274315

(P2001-274315A)

(43) 公開日 平成13年10月5日 (2001.10.5)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テーマコード <sup>*</sup> (参考)
H 0 1 L 25/04		H 0 1 L 25/04	Z
25/18		23/12	L
// H 0 1 L 23/12			

審査請求 未請求 請求項の数15 O L (全 9 頁)

(21) 出願番号 特願2000-83367 (P2000-83367)

(22) 出願日 平成12年3月24日 (2000.3.24)

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 高岡 裕二

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(72) 発明者 上出 幸洋

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(74) 代理人 100086298

弁理士 船橋 國則

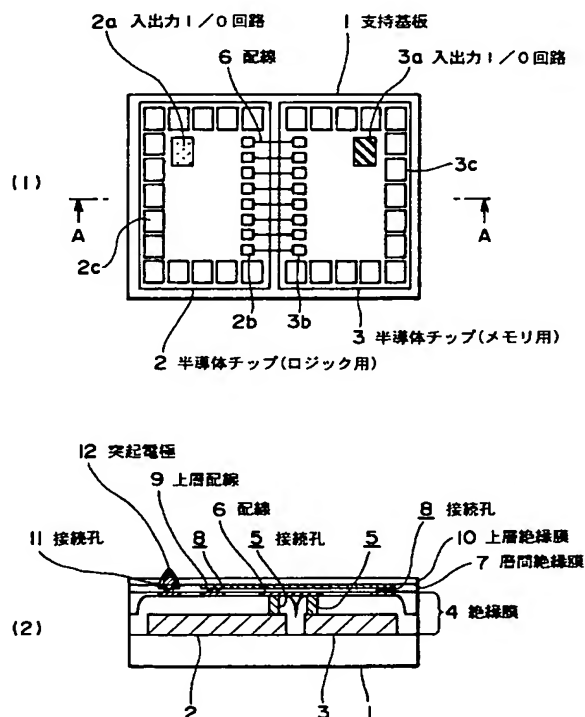
最終頁に続く

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【課題】 高密度実装が可能なMCM型の半導体装置及びその製造方法を提供する。

【解決手段】 支持基板1上に搭載された半導体チップ2、3、これらの半導体チップ2、3を埋め込む状態で支持基板1上に設けられた絶縁膜4、この絶縁膜4に形成された接続孔5を介して各半導体チップ2、3に接続する状態で絶縁膜4上に設けられた配線6を備えている。さらに、配線6を覆う層間絶縁膜7、この層間絶縁膜7に設けられた接続孔8、接続孔8を介して配線6に接続された上層配線9が設けられている。また、上層配線9を覆う上層絶縁膜10に形成された接続孔11を介して上層配線9に接続させた突起電極12が、上層絶縁膜10上に設けられている。



**【特許請求の範囲】**

【請求項 1】 支持基板上に搭載された複数の半導体チップと、

前記複数の半導体チップを埋め込む状態で前記支持基板上に設けられた絶縁膜と、

前記絶縁膜に形成された接続孔を介して前記各半導体チップに接続する状態で当該絶縁膜上に設けられた配線とを備えたことを特徴とする半導体装置。

【請求項 2】 請求項 1 記載の半導体装置において、前記配線を覆う状態で前記絶縁膜上に設けられた上層絶縁膜と、

前記上層絶縁膜に形成された接続孔を介して前記配線に接続する状態で当該上層絶縁膜上に設けられた突起電極とを備えたことを特徴とする半導体装置。

【請求項 3】 請求項 1 記載の半導体装置において、前記複数の半導体チップのうちの一部の半導体チップにおける所定回路が、前記複数の半導体チップで共有されるように前記配線が設けられていることを特徴とする半導体装置。

【請求項 4】 請求項 3 記載の半導体装置において、前記所定回路は、外部機器との入出力インターフェース回路、電源回路、及び静電保護回路のうちの少なくとも 1 つの回路であることを特徴とする半導体装置。

【請求項 5】 複数の半導体チップと、前記複数の半導体チップの裏面を露出させた状態で当該複数の半導体チップをその表面側から埋め込んで保持する絶縁材料層と、前記絶縁材料層に形成された接続孔を介して前記各半導体チップに接続する状態で当該絶縁材料層上に設けられた配線とを備えたことを特徴とする半導体装置。

【請求項 6】 請求項 5 記載の半導体装置において、前記配線を覆う状態で前記絶縁材料層上に設けられた上層絶縁膜と、

前記上層絶縁膜に形成された接続孔を介して前記配線に接続する状態で当該上層絶縁膜上に設けられた突起電極とを備えたことを特徴とする半導体装置。

【請求項 7】 請求項 5 記載の半導体装置において、前記複数の半導体チップのうちの一部の半導体チップにおける所定回路が、前記複数の半導体チップで共有されるように前記配線が設けられていることを特徴とする半導体装置。

【請求項 8】 請求項 7 記載の半導体装置において、前記所定回路は、外部機器との入出力インターフェース回路、電源回路、及び静電保護回路のうちの少なくとも 1 つの回路であることを特徴とする半導体装置。

【請求項 9】 支持基板上に複数の半導体チップを搭載してなる半導体装置において、前記複数の半導体チップのうちの一部の半導体チップにおける所定回路を、当該複数の半導体チップで共有してなることを特徴とする半導体装置。

【請求項 10】 請求項 9 記載の半導体装置において、前記所定回路は、外部機器との入出力インターフェース回路、電源回路、及び静電保護回路のうちの少なくとも 1 つの回路であることを特徴とする半導体装置。

【請求項 11】 支持基板上に複数の半導体チップをダイボンディングする工程と、前記半導体チップを埋め込む状態で、前記支持基板上に絶縁膜を形成する工程と、前記各半導体チップに達する接続孔を前記絶縁膜に形成し、当該接続孔を介して前記各半導体チップにそれぞれ接続される配線を前記絶縁膜上に形成する工程とを行うことを特徴とする半導体装置の製造方法。

【請求項 12】 請求項 11 記載の半導体装置の製造方法において、前記配線を覆う状態で前記絶縁膜上に上層絶縁膜を形成する工程と、前記配線に達する接続孔を前記上層絶縁膜に形成し、当該接続孔を介して前記配線に接続する状態で当該上層絶縁膜上に突起電極を形成する工程とを行うことを特徴とする半導体装置の製造方法。

【請求項 13】 請求項 11 記載の半導体装置の製造方法において、前記支持基板は半導体ウェハであることを特徴とする半導体装置の製造方法。

【請求項 14】 請求項 11 記載の半導体装置の製造方法において、前記支持基板上に複数の半導体チップをダイボンディングする工程では、前記支持基板上に塗布した接着用の樹脂に対してフローティングさせた状態で前記各半導体チップを前記支持基板上にダイボンディングすることを特徴とする半導体装置の製造方法。

【請求項 15】 請求項 11 記載の半導体装置の製造方法において、前記配線を形成する工程を行った後、前記半導体チップ及び前記絶縁膜から前記支持基板を剥がし取る工程を行うことを特徴とする半導体装置の製造方法。

**【発明の詳細な説明】****【0001】**

【発明の属する技術分野】本発明は半導体装置及びその製造方法に関し、特に複数の半導体チップが一つの電子部品として組み立てられている、いわゆるマルチチップモジュール技術を適用した半導体装置及びその製造方法に関する。

**【0002】**

【従来の技術】電気製品の小型、軽量、低消費電力化といった要求に応えるため、半導体素子の高集積化技術と共に、これらの半導体素子を高密度に組み付ける実装技術も展開してきている。そのような実装技術のうち、さらなる高密度実装を実現するため、多層配線支持基板やベアチップ実装等に加え、複数の半導体素子（半導体チ

ップ)を予め一つの電子部品として同一の支持基板に搭載して実装するマルチチップモジュール(Multi-Chip Module;以下MCMと記す)技術が開発されている。このMCM技術は、1つの基板上に2つ以上の半導体チップを組み込むことで、実質的な多機能化を実現している。

【0003】図7は、このようなMCM技術を用いた半導体装置の一例を示す平面図及びそのA-A'断面図である。これらの図に示す半導体装置は、支持基板101上に異なる機能を有する2つの半導体チップ102、103を搭載してなるものである。支持基板101上には、複数の電極パッド(平面図のみに図示)104及びこれらの電極パッド104間を接続するための配線(図示省略)が形成されている。そして、各半導体チップ102、103間は、支持基板101上に設けられた電極パッド及び配線(図示省略)と、ワイヤー105とによって接続されている。このような半導体装置と外部装置との接続は、支持基板101上に設けられた電極パッド104を介して成される。

【0004】また、特開平5-47856には、支持基板(セラミックプリント板等のパッケージ)上に搭載された複数の半導体チップを覆う状態で絶縁膜を形成し、この絶縁膜に半導体チップと支持基板とに達する各接続孔を形成し、これらの接続孔を介して半導体チップと支持基板上の電極パッドとを接続する配線を絶縁膜上に形成してなる半導体装置が開示されている。この半導体装置によれば、ワイヤーによる接続によらず、半導体チップを覆う絶縁膜上に形成した配線によって、半導体チップとパッケージとを接続することで、半導体チップと支持基板上のパッドとが最短距離で接続されると共に、半導体チップからのリードの取り出し本数を増加させることができる。また、この配線を多層配線化するために、絶縁膜中にインナービアホールを設けた構成の半導体装置も提案されている。

【0005】さらに、特開平9-64269には、複数の半導体チップにそれぞれ能力を分担させた出力バッファを設けることで、各出力バッファの能力を抑えて各半導体チップを小型化する半導体装置が開示されている。

【0006】以上のようなMCM型の半導体装置の他にも、複数の半導体チップの機能を1つの半導体チップ内に作り込んでシステムLSIとすることで、半導体装置の高機能化を実現したものもある。

【0007】

【発明が解決しようとする課題】ところが、上述した各MCM型の半導体装置においては、半導体チップが搭載されている支持基板(例えばセラミック回路基板)上の電極パッドを介して、半導体チップ間の接続や半導体チップと外部装置との接続が成される。このため、支持基板には、半導体チップを実装する面積に加えて電極パッドや配線を引き回す面積が必要となる。これは、実質的

な実装面積を増大させる要因になると共に、半導体装置のコストを上昇させる要因になる。

【0008】また、MCM型の半導体装置は、複数の半導体チップが1つのユニットとして樹脂中に密閉されるため消費電力が大きく、この消費電力に応じた熱が発生する。このため、この熱によって、半導体チップに形成された素子機能自体が故障するといった問題に加え、支持基板と半導体チップとの間の熱膨張係数差による半導体チップの剥がれ、さらにはこの半導体装置を封止する樹脂のクラック発生が問題となっている。

【0009】一方、システムLSI型の半導体装置では、複数の機能(例えばメモリーとロジック)を1つの半導体チップに作り込むことから、MCM型の半導体装置と比較して、設計工程、ウェハ工程が複雑化し、歩留まりの低下や製造コストの上昇、さらにはTAT(Turn Around Time)の長期化を招くといった問題がある。

【0010】そこで本発明は、さらなる実装面積の圧縮及びチップ間配線距離の短縮による高速動作が可能で、かつ消費電力の小さいMCM型の半導体装置及びその製造方法を提供することを目的とする。

【0011】

【課題を解決するための手段】このような目的を達成するための本発明の第1の半導体装置は、支持基板上に搭載された複数の半導体チップと、これらの半導体チップを埋め込む状態で前記支持基板上に設けられた絶縁膜と、この絶縁膜に形成された接続孔を介して各半導体チップに接続する状態で当該絶縁膜上に設けられた配線とを備えたことを特徴としている。

【0012】このような構成の第1の半導体装置では、複数の半導体チップは、支持基板を介することなく絶縁膜上に形成された配線によって直接接続される。このため、支持基板には、電極パッドや配線引き回しのためのスペースを設ける必要はなく、半導体チップを搭載するためのスペースのみを有していれば良いことになる。したがって、半導体装置の小型化が図られる。

【0013】また、本発明の第2の半導体装置は、複数の半導体チップと、これらの半導体チップの裏面を露出させた状態で当該各半導体チップをその表面側から埋め込んで保持する絶縁材料層と、この絶縁材料層に形成された接続孔を介して各半導体チップに接続する状態で当該絶縁材料層上に設けられた配線とを備えたことを特徴としている。

【0014】このような構成の第2の半導体装置では、複数の半導体チップは、これらをその表面側から埋め込んで保持する絶縁材料層上に形成された配線によって直接接続される。このため、この半導体装置は、絶縁材料層に対して複数の半導体チップを埋め込むだけのスペースのみを有していれば良いことになる。さらに、絶縁材料層が支持基板を兼ねるため、第1の半導体装置と比較して支持基板分の厚みが薄いものになる。したがって、

半導体装置の小型化及び薄型化が図られる。

【0015】さらに、本発明の第3の半導体装置においては、支持基板上に複数の半導体チップを搭載してなる半導体装置において、複数の半導体チップのうちの一部の半導体チップにおける所定回路を、複数の半導体チップで共有してなることを特徴としている。この場合の所定回路は、外部機器との入出力インターフェース回路、電源回路、及び静電保護回路のうちの少なくとも1つの回路であることとする。

【0016】このような構成の半導体装置では、複数の半導体チップにおける使用回路数が削減されるため、消費電力が削減されることになる。特に、入出力インターフェース回路や電源回路を複数の半導体チップで共有する構成にした場合には、これら消費電力の大きな回路が削減されることで、半導体装置全体としての消費電力が大幅に削減されることになる。しかも、全ての半導体チップに、上記の所定回路を設ける必要がなくなるため、これらの回路を持たない半導体チップを形成することで、各半導体チップの小型化、ひいてはこれらの半導体チップを用いて構成された半導体装置の小型化が図られる。

【0017】そして、本発明の半導体装置の製造方法は、支持基板上に複数の半導体チップをダイボンディングする工程、半導体チップを埋め込む状態で支持基板上に絶縁膜を形成する工程、さらには各半導体チップに達する接続孔を絶縁膜に形成し、この接続孔を介して各半導体チップにそれぞれ接続される配線を絶縁膜上に形成する工程を行うことを特徴としている。またその後、半導体チップ及び絶縁膜から支持基板を剥がし取る工程を行っても良い。

【0018】このような構成の半導体装置の製造方法では、ワイヤーボンディングによらず、リソグラフィ技術を用いたパターンニングによって絶縁膜上に配線が形成され、この配線によって、各半導体チップが直接接続された半導体装置が得られる。さらに、支持基板を剥がし取った場合には、半導体チップの裏面側を露出させた状態で、絶縁膜に対して複数の半導体チップが表面側から埋め込まれて保持された半導体装置が得られる。

【0019】

【発明の実施の形態】以下、本発明実施の形態を図面に

【0020】（第1実施形態）図1（1）は、本発明を適用した半導体装置の第1実施形態を示す平面図であり、図1（2）は（1）のA-A'断面図である。尚、半導体装置の構成要素である各絶縁膜及び各接続孔は、断面図のみの図示とした。これらの図に示す半導体装置は、支持基板1上に複数（図面においては2つ）の半導体チップ2、3を搭載してなる、いわゆるMCM型の半導体装置である。また、半導体チップ2、3は、例えば信号処理用のロジック回路と光ディスク読み取り信号制

御回路が形成されたロジック用の半導体チップ2、及び32BitDRAM回路が形成されたメモリ用の半導体チップ3であることとする。

【0021】これらの半導体チップ2、3には、それぞれの機能回路（ロジック回路、メモリ回路）の他に、入出力インターフェース回路（以下、入出力I/O回路と記す）2a、3a、及びここでの図示を省略した電源インターフェース回路（以下、電源回路と記す）、さらには静電保護回路等がそれぞれ備えられている。ただし、ロジック用の半導体チップ2の入出力I/O回路2aには、DRAM回路用の入出力I/O回路機能を組み込んでおくこととする。さらに、ロジック用の半導体チップ2の電源回路には、DRAM回路用の電源回路機能を組み込んでおくこととする。

【0022】また、各半導体チップ2、3には、半導体チップ2、3間の接続を図るための電極パッド2b、3b（平面図のみに図示）や、その他の電極パッド2c、3c（平面図のみに図示）が設けられている。

【0023】さらに、ここでの図示は省略したが、各半導体チップ2、3には、入出力I/O回路2a、3aに接続される最上層配線の一部として、 $20\mu\text{m} \times 20\mu\text{m}$ 角の電極パッド及びこれに接続された $100\mu\text{m} \times 100\mu\text{m}$ 角の検査用パッドが備えられている。そして、ウェハ状態で検査用パッドに針当てして回路検査を行い、ウェハを裏面側から研削して各チップ毎に分割した後、この回路検査の結果に基づいて良品と判定されたものが半導体チップ2、3としてピックアップされている。

【0024】また、支持基板1上にはこれらの半導体チップ2、3を覆う状態で絶縁膜4が形成されている。この絶縁膜4には、各半導体チップ2、3表面の電極パッド2b、3bにそれぞれ達する接続孔5が設けられている。

【0025】また、この絶縁膜4上には、接続孔5を介して各半導体チップ2、3に接続された配線6が形成されている。そして、絶縁膜4上には、配線6を埋め込む状態の層間絶縁膜7、層間絶縁膜7に形成された接続孔8、さらにはこの接続孔8を介して絶縁膜4上の配線6に接続された上層配線9が形成されて多層配線構造となっている。これらの配線6及び上層配線9は、各半導体チップ2、3の入出力インターフェース回路2a、3a及び電源回路のうち、ロジック用の半導体チップ2に設けられた入出力I/O回路2a及び電源回路のみが2つの半導体チップ2、3で共有されるように設けられていることとする。

【0026】そして、この上層配線9を覆う状態で、層間絶縁膜7上に上層絶縁膜10が形成されており、この上層絶縁膜10には上層配線9に達する接続孔11が設けられている。そして、さらに、上層絶縁膜10上には、接続孔11を介して層間絶縁膜7上の上層配線9に接続された突起電極12（断面図のみに図示）が設けら

れている。

【0027】このような構成の半導体装置では、各半導体チップ2、3が、支持基板1を介することなく絶縁膜4及び層間絶縁膜7上に形成された配線6及び上層配線9によって直接接続される。また、突起電極12によって、外部装置との接続が図られる。このため、支持基板1には、電極パッドや配線引き回しのためのスペースを設ける必要はなく、半導体チップ2、3を搭載するためのスペースのみを有していれば良いことになる。したがって、半導体装置の小型化を図り、高密度実装を達成することが可能になる。

【0028】さらに、ワイヤーによらず、配線6及び上層配線9によって直接各半導体チップ2、3間の接続が行われるため、高速動作が可能になると共に、配線の取り出し密度を高めることが可能になるため高機能化を図ることができる。

【0029】しかも、この半導体装置においては、ロジック用の半導体チップ2に設けられた入出力I/O回路2a及び電源回路を2つの半導体チップ2、3で共有していることから、これらの消費電力の大きな回路の使用を削減することができ、半導体装置全体としての消費電力を大幅に削減することが可能になる。この結果、半導体装置の発熱量を低減させることができ、半導体装置の信頼性の向上を図ることも可能になる。

【0030】次に、上記構成の半導体装置の製造方法を図2及び図3の断面工程図に基づいて説明する。

【0031】先ず、図2(1)に示すように、シリコンウェハからなる支持基板1の表面側に、MCMのチップ配列に応じたターゲットマーク1aを形成し、これらのターゲットマーク1aと各半導体チップ2、3表面の配線パターン(図示省略)との間のアライメントをとりつつ、ダイボンド装置Aを用いて各半導体チップ2、3を支持基板1上の所定位置にダイボンドする。この際、支持基板1と各半導体チップ2、3との接着は、導電性接着剤20を用いて行うこととする。

【0032】次に、図2(2)に示すように、各半導体チップ2、3を埋め込む状態で、支持基板1上に第1絶縁膜4aを形成する。この第1絶縁膜4aは、半導体チップ2、3よりも厚い膜厚に形成する。次いで、第1絶縁膜4a上に、半導体チップ2、3間のチップ厚差を越える膜厚の第2絶縁膜4bを形成する。その後、CMP (Chemical Mechanical Polishing) 法によって、第2絶縁膜4bの表面を平坦化研磨し、さらにこの第2絶縁膜4b上に膜厚1 $\mu$ m程度の第3絶縁膜(図示省略)を形成することで、これらの各絶縁膜を積層してなる表面平坦な絶縁膜4を得る。

【0033】しかる後、図2(3)に示すように、リソグラフィ技術を用いることによって、絶縁膜4上にレジストパターン21を形成する。この際、各半導体チップ2、3表面の配線パターンとのアライメントを取りつ

つパターン露光を行うことで、所定位置に孔パターンが設けられたレジストパターン21を形成する。

【0034】次に、このレジストパターン21をマスクにして、絶縁膜4をエッチングし、半導体チップ2、3表面の電極パッドに達する接続孔5(例えば、開口径18 $\mu$ m $\times$ 18 $\mu$ m)を形成する。

【0035】次いで、レジストパターン21を絶縁膜4上から除去した後、図3(1)に示すように、リソグラフィ技術によって、絶縁膜4上に新たなレジストパターン22を形成する。この際、各半導体チップ2、3表面の配線パターンとのアライメントを取りつつパターン露光を行うことで、所定位置に溝パターンが設けられたレジストパターン22を形成する。

【0036】その後、このレジストパターン22をマスクにして、絶縁膜4の表面層をエッチングし、この絶縁膜4の表面側に深さ2 $\mu$ m程度の配線溝4dを形成する。

【0037】次いで、レジストパターン22を除去した後、配線溝4d及び接続孔5の内壁を含む絶縁膜4上に、スパッタ法によって50nmの膜厚の銅(Cu)膜を核成長層として堆積させ、次いで、無電解メッキにより5 $\mu$ mの膜厚のCu膜を形成する。次に、Cu用のCMP装置を用いて、絶縁膜4の表面上のCuを除去し、配線溝4d及び接続孔5内のみCuを残す。

【0038】以上によって、図3(2)に示すように、接続孔5を介して半導体チップ2、3に接続された、Cuからなる配線6を形成する。

【0039】尚、上述のレジストパターン21、22の形成において用いられるリソグラフィ装置、及びエッチング工程において用いられるエッチング装置は、半導体前工程(すなわちウェハ工程)で用いられるものであることとする。また、リソグラフィの際のパターン露光におけるアライメントは半導体装置を構成する半導体チップ2、3のグループ毎であっても、半導体チップ2、3毎であっても良い。

【0040】以上の後、図2(2)～図3(2)を用いて説明した工程を複数回繰り返すことによって、図3(3)に示すように、配線6を覆う状態で絶縁膜4上に層間絶縁膜7を形成し、この層間絶縁膜7に接続孔8を形成し、さらに層間絶縁膜7上に配線6に接続された上層配線9を形成する。尚、ここでは、上記工程を一回繰り返した場合を図示した。

【0041】そして、最上部の配線層には、配線の形成と同時に突起電極形成用パッドを形成する。ここでは、上層配線9の形成と同時に、上層配線9の一部として層間絶縁膜7上に突起電極形成用パッド9aを設けると共に、この突起電極形成用パッド9aに接続させた状態の検査用パッド(図示省略)を設けることとする。

【0042】次に、上層配線9及び突起電極形成用パッド9aを覆う状態で、層間絶縁膜7上に回路保護膜(図



示省略)を形成し、この回路保護膜に検査パッドのみを露出させる窓開けを行う。次いで、シリコンウェハからなる支持基板1をその裏面側からバックグラインドして薄型化した後、テスト用のプロパーを用いて検査用パッドに針当てしてMCMとしての動作試験と選別を実施する。

【0043】以上の後、上記回路保護膜を除去して、上層配線9及び突起電極形成用パッド9aを覆う状態で、層間絶縁膜7上に上層絶縁膜10を形成し、リソグラフィ及びその後のエッチングによって、上層絶縁膜10に突起電極形成用パッド9aに達する接続孔11を形成する。次いで、この接続孔11を介して突起電極形成用パッド9aに接続された突起電極12(MCM組み付け用突起電極)を、上層絶縁膜10上に形成する。

【0044】次に、図1に示したように、MCM毎にシリコンウェハからなる支持基板1を分割し、上記動作試験で良品と判定されたものをピックアップして樹脂封止を行い、半導体装置を完成させる。

【0045】このような製造方法によれば、半導体前工程(すなわちウェハ工程)で行われるリソグラフィ技術とエッチング技術とを用いたバタニングによって接続孔5、8、11、配線6及び上層配線9が形成され、各半導体チップ2、3がこれらの配線6、9によって直接接続された半導体装置を得ることができる。このため、支持基板1上に形成したパッドやワイヤーを介して半導体チップ2、3間を接続する従来技術と比較して、短距離での接続が可能になると共に配線の取り出し密度を向上させることが可能になる。したがって、半導体装置の動作速度の向上及び高機能化を図ることが可能になる。

【0046】しかも、支持基板1としてシリコンウェハを用いたことで、半導体前処理工程への適用を容易にすることができる。

【0047】(第2実施形態)図4(1)は、本発明を適用した半導体装置の第1実施形態を示す平面図であり、図4(2)は(1)のA-A'断面図である。これらの図に示す半導体装置と、第1実施形態の半導体装置との異なるところは、半導体チップ2、3の支持状態にあり、その他の構成は同様であることとする。

【0048】すなわち、この半導体装置は、複数の半導体チップ2、3の裏面側を露出させた状態で、各半導体チップ2、3をその表面側から絶縁材料層4に埋め込んで保持させてなるMCMであり、支持基板(1)を備えていない。この絶縁材料層4は、ここでは、第1実施形態における絶縁膜4に相当している。

【0049】このため、各半導体チップ2、3表面の電極パッド(図示省略)にそれぞれ達する接続孔5は、この絶縁材料層(絶縁膜)4に設けられていることになる。

【0050】このような構成の半導体装置は、第1実施

形態の半導体装置と同様に、各半導体チップ2、3が配線6及び上層配線9によって直接接続され、また外部装置との接続が突起電極12によって図られることから、第1実施形態の半導体装置と同様の効果を得ることができる。

【0051】しかも、各半導体チップ2、3の裏面側が露出していることから、第1実施形態の半導体装置と比較して放熱効率が上昇する。このため、半導体装置の信頼性をさらに向上させることが可能になる。また、第1実施例の支持基板に相当するものを備えていないことから、半導体装置の薄型化を図ることが可能になる。

【0052】次に、上記構成の半導体装置の製造方法を図5及び図6の断面工程図に基づいて説明する。

【0053】先ず、図5(1)に示すように、第1実施例と同様のターゲットマーク1aが形成されたシリコンウェハからなる支持基板1を用意し、その表面側に樹脂30を塗布する。次いで、ターゲットマーク1aと各半導体チップ2、3表面の配線パターン(図示省略)との間のアライメントをとりつつ、ダイボンダ装置Aを用いて各半導体チップ2、3を支持基板1上の所定位置にフェースアップ状態でダイボンダする。この際、各半導体チップ2、3を樹脂30に対してフローティング状態とし、各半導体チップ2、3の表面高さが同一となるように調整する。

【0054】以上の後、図5(2)～図6(3)に示す工程を、第1実施形態で図2(2)～図3(3)を用いて説明したと同様に行うことで、図6(3)に示すように、絶縁材料層となる絶縁膜4、接続孔5、配線6、層間絶縁膜7、接続孔8及び上層配線9、9aを形成し、動作試験を行った後、上層絶縁膜10、接続孔11、及びパンプ12を形成する。ただし、動作試験の前に支持基板1の薄型化を行うBGR工程を省略し、支持基板1の厚みを保つこととする。

【0055】次に、ダイシング加工を施し、MCMの境界部分にダイシング溝31を形成する。ただし、ダイシング溝31は、支持基板1の途中深さまでとする。

【0056】以上の後、ダイシング溝31に樹脂分解液を注入することで、支持基板1と各半導体チップ2、3及び絶縁膜4との間の樹脂30を分解する。これによって、図4に示したように、支持基板1から各MCMを分離させ、上記動作試験で良品と判定されたものをピックアップして樹脂封止を行い、半導体装置を完成させる。

【0057】このような製造方法によれば、図5(1)を用いて説明したように、樹脂30に各半導体チップ2、3をフローティングさせることで、半導体チップ2、3の表面高さを均一にすることができる。このため、絶縁膜4の平坦化が容易になり、半導体装置の薄型化を図ることが可能になる。

【0058】また、シリコンウェハからなる支持基板1をリサイクルできるため、半導体装置の製造コストの削



減を図ることが可能になる。

【0059】以上説明した各実施形態においては、ロジック用の半導体チップ2の入出力I/O回路2aにDRAM回路用の入出力I/O回路機能を組み込み、同半導体チップ2の電源回路にDRAM回路用の電源回路機能を組み込み、この半導体チップ2の入出力I/O回路2a及び電源回路を2つの半導体チップ2, 3で共有するように配線4及び上層配線9を設けた場合を説明した。このため、メモリ用の半導体チップ3には、入出力I/O回路3a及び電源回路を設ける必要はなく、これらの回路を持たないメモリ用チップ3を用いることでメモリ用チップの小型化、ひいては半導体装置のさらなる小型化を図ることが可能になる。これは、静電保護回路においても同様である。

【0060】また、他の半導体チップの入出力I/O回路機能、電源回路機能、さらには静電保護回路機能等を組み込む半導体チップは、ロジック用の半導体チップ2に限定されることなく、メモリ用の半導体チップ3にロジック回路用の入出力I/O回路機能、電源回路機能、さらには静電保護回路機能等を組み込んで良い。

【0061】ただし、入出力I/O回路を設けていない半導体チップの回路検査を行う場合には、テスト用のプロープに入出力I/O回路を組み込み、この回路を介して当該半導体チップの検査用パッドに針当てをして回路検査を行うこととする。

【0062】また、以上の実施形態においては、上述したように、ロジック用の半導体チップ2の入出力I/O回路2aにDRAM回路用の入出力I/O回路機能を組み込み、同半導体チップ2の電源回路にDRAM回路用の電源回路機能を組み込んだ構成の半導体装置を説明した。しかし、本発明の半導体装置は、従来と同様にそれぞれの半導体チップにそれぞれの半導体チップ用の入出力I/O回路、電源回路及び静電保護回路等を設けた半導体装置にも適用可能である。

【0063】このような構成の半導体装置においては、汎用性のある各半導体チップを用いて、上述のように小型化されたMCMが構成されることになる。このため、各半導体チップ単体での出荷も可能になり、需給バランスによりMCMと単体の半導体チップでの出荷の選択が可能となる。したがって、製造ラインのフレキシビリティの拡大と半製品（例えば半導体チップ等）の在庫圧縮を達成することができ、製造コストの削減を図ることが可能になる。

【0064】

【発明の効果】以上説明したように、本発明における請求項1及び請求項5に係る半導体装置によれば、同一の支持体上に搭載された複数の半導体チップを、半導体チップ外の電極パッドを介することなく絶縁膜上に形成された配線によって直接接続する構成にしたことで、体半導体装置の小型化を図ることが可能になる。

【0065】また、請求項9に係る半導体装置によれば、複数の半導体チップを搭載してなる半導体装置において、一部の半導体チップに設けられた所定回路を複数の半導体チップで共有する構成にしたことで、半導体装置全体としての使用回路数を削減し、消費電力の削減を図ることが可能になる。特に、入出力インターフェース回路や電源回路を複数の半導体チップで共有する構成にした場合には、これら消費電力の大きな回路が削減されることで、半導体装置全体としての消費電力が大幅に削減されることになる。この結果、半導体装置の信頼性を向上させることも可能になる。

【0066】さらに、本発明の半導体装置の製造方法によれば、ワイヤーボンディングによらず、パターニングによって絶縁膜上に形成された配線によって、各半導体チップを直接接続する構成にしたことで、小型化された半導体装置を得ることができる。

【図面の簡単な説明】

【図1】第1実施形態の半導体装置の構成を示す平面図及び断面図である。

【図2】第1実施形態の半導体装置の製造方法を示す断面工程図（その1）である。

【図3】第1実施形態の半導体装置の製造方法を示す断面工程図（その2）である。

【図4】第2実施形態の半導体装置の構成を示す平面図及び断面図である。

【図5】第2実施形態の半導体装置の製造方法を示す断面工程図（その1）である。

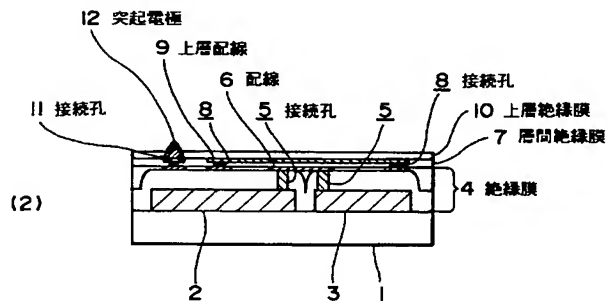
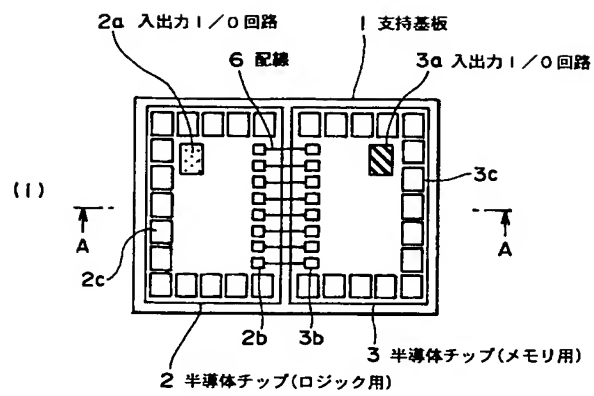
【図6】第2実施形態の半導体装置の製造方法を示す断面工程図（その2）である。

【図7】従来の半導体装置の構成を示す平面図及び断面図である。

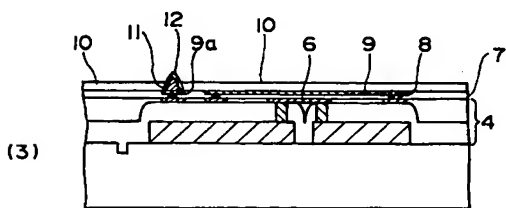
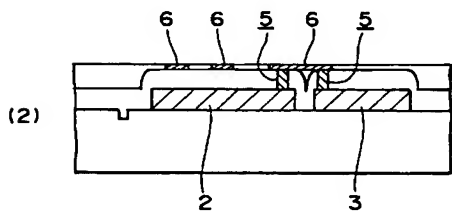
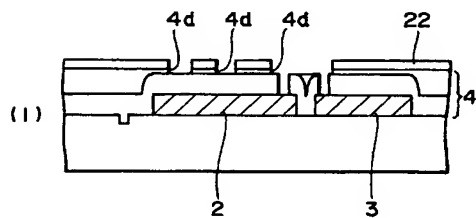
【符号の説明】

1…支持基板、2…半導体チップ、2a, 3a…入出力I/O回路、3…半導体チップ、4…絶縁膜（絶縁材料層）、5…接続孔、6…配線、7…層間絶縁膜、8…接続孔、9…上層配線、10…上層絶縁膜、11…接続孔、12…突起電極、30…樹脂

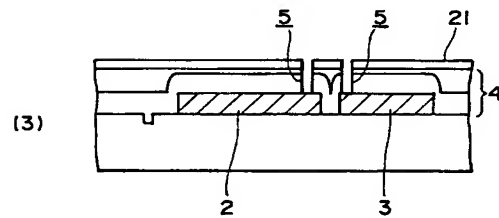
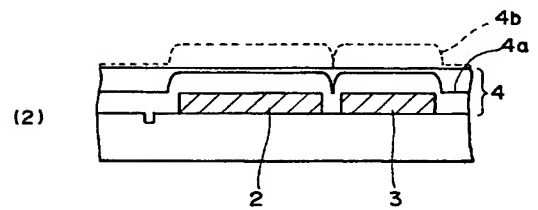
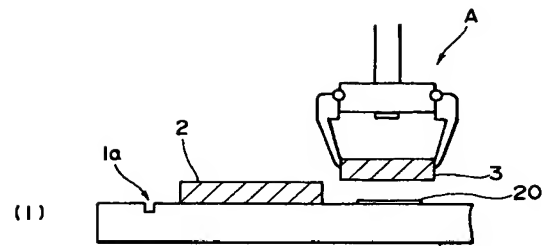
【図1】



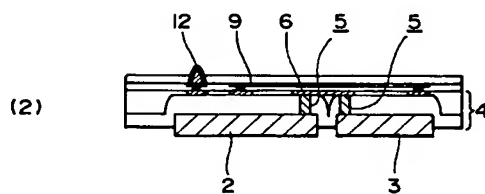
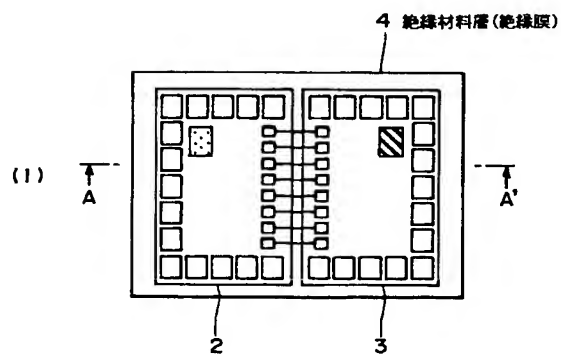
【図3】



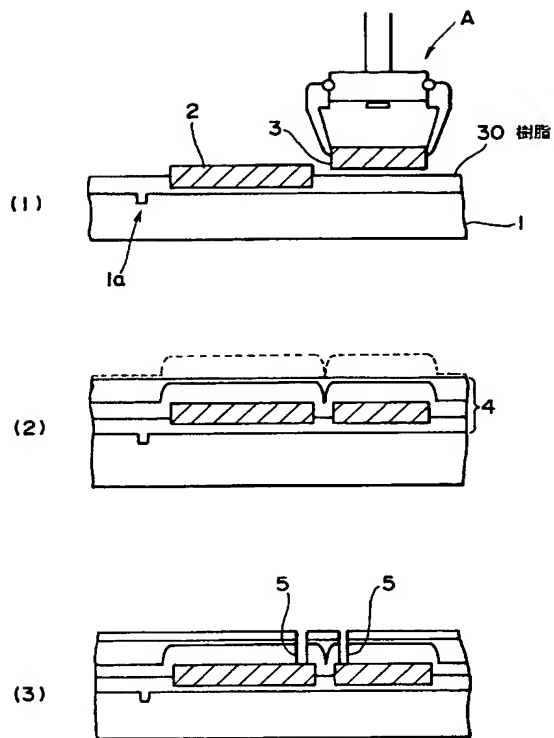
【図2】



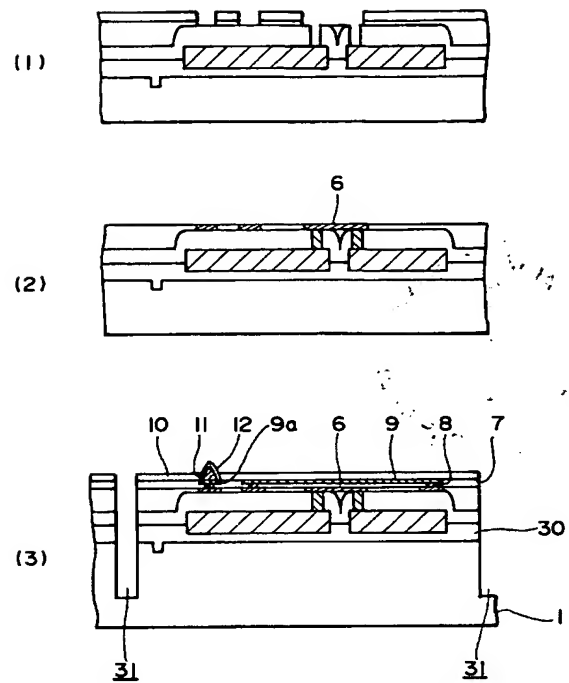
【図4】



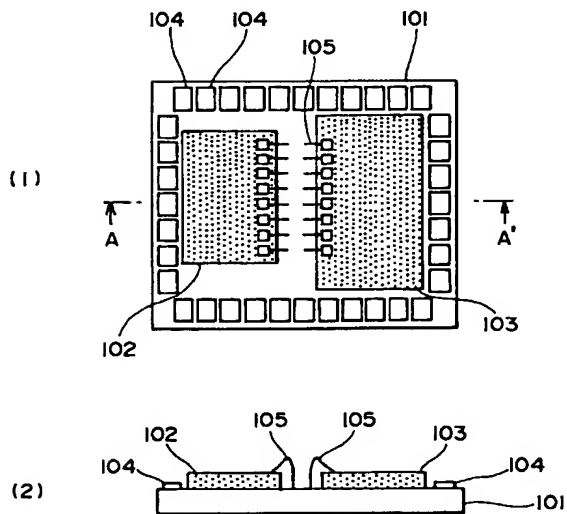
【図5】



【図6】



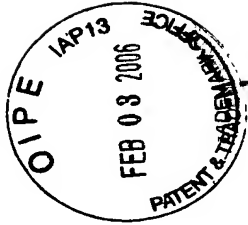
【図7】



フロントページの続き

(72)発明者 平山 照峰  
東京都品川区北品川6丁目7番35号 ソニ  
ー株式会社内

(72)発明者 波多野 正喜  
東京都品川区北品川6丁目7番35号 ソニ  
ー株式会社内



THIS PAGE BLANK (LSPTO)